

Perancangan Rangkaian Terpadu Penguat Operasional Untuk Pengatur Nada

Beauty, Agung Darmawansyah, M.Julius St

Abstrak— Suatu rangkaian terpadu (*integrated circuit - IC*) adalah sebuah kristal silikon kecil yang disebut *chip* mengandung komponen elektronika seperti transistor, dioda, resistor, dan kapasitor. Komponen itu saling dihubungkan dalam *chip* membentuk suatu rangkaian listrik tertentu. Pada perancangan penelitian ini dipilih desain rangkaian terpadu penguat operasional untuk pengatur nada menggunakan teknologi CMOS (*Complementary Metal-Oxide Semiconductor*). Hal ini disebabkan karena CMOS memiliki keunggulan pada disipasi daya rendah dan ukurannya yang sangat kecil. Rangkaian pengatur nada ini frekuensi yang digunakan tetap (*fixed*) yaitu untuk *bass* frekuensinya 20 Hz, *treble* menggunakan frekuensi 10 kHz dan *middle* menggunakan frekuensi 1 kHz. Pada penelitian ini yang dirubah adalah amplitudonya. Dari hasil pengujian didapatkan % kesalahan dengan hasil perhitungan dibawah 4,34% untuk parameter penguatan tegangan, frekuensi saat kemiringan -40 dB dan sudut fasa. Hasil perancangan ini memiliki keunggulan pada besarnya disipasi daya rendah sebesar 5,07 mW. Luas *layout* rangkaian adalah 4227,000 $\mu\text{m} \times 211,380 \mu\text{m}$.

Kata kunci: Filter Low-Pass, Filter Band-pass, Filter high-pass, Op-amp, CMOS, frekuensi

I. PENDAHULUAN

Ukuran mikroskopik rangkaian terpadu (*Integrated Circuit*) di desain untuk keperluan perancangan rangkaian elektronik dengan pertimbangan kebutuhan daya (*power dissipation*), kecepatan (*speed*) dan harga (*cost*). Kompleksitas dan kecepatan rangkaian terpadu ditentukan oleh teknik perancangan termasuk simulasinya. Sebagian besar rangkaian terpadu memanfaatkan silikon yang diterapkan menggunakan teknologi nMOS (*negative Metal-Oxide Semiconductor*), CMOS (*Complementary Metal-Oxide Semiconductor*) atau BiCMOS.

Gregorian R dan Temes G (1986) pada bukunya yang berjudul “*Analog MOS Integrated Circuits For Signal Processing*” menyatakan bahwa penguat operasional ideal memiliki karakteristik sebagai penguatan tegangan diferensial tak berhingga, resistans masukan yang besar, resistans keluaran nol, tidak tergantung pada frekuensi (*bandwidth* tak berhingga), tidak terpengaruh oleh temperatur dan tidak memiliki

Beauty dan kedua penulis lainnya melakukan penelitian di Jurusan Teknik Elektro Univerrritas Brawijaya dengan alamat korespondensi Jurusan Teknik Elektro Universitas Brawijaya, Jl. MT. Haryono 167 Malang telp. 0341-665144

distorsi atau derau.

Elmunsyah (1994) pada skripsinya yang berjudul “Perancangan Penguat Kerja CMOS Untuk Beban Resistansi Rendah” menyatakan bahwa dalam teknologi CMOS, perancang rangkaian mempunyai keluwesan yang lebih besar daripada teknologi bipolar untuk menyesuaikan sifat-sifat tiap devais terhadap peranannya pada suatu rangkaian.

Rangkaian pengatur nada terdiri atas tiga kontrol, yaitu kontrol *bass*, *treble* dan *middle*. Kontrol *bass* dari filter *low-pass*, kontrol *treble* dari filter *high-pass* dan kontrol *middle* dari filter *band-pass*. Pada penelitian ini dipilih desain tataletak IC pengatur nada dengan teknologi CMOS. Pemilihan teknologi CMOS dikarenakan memiliki keunggulan pada disipasi daya rendah dan ukurannya yang sangat kecil. Disipasi daya sangat berpengaruh pada kemampuan kerja (*performance*), keandalan (*reliability*), kemas (*packaging*), biaya (*cost*), keringkasan (*portability*). Penelitian ini diaplikasikan pada pengatur nada, dikarenakan untuk merangkai satu rangkaian pengatur nada dibutuhkan sekitar enam IC penguat operasional. Maka dari itu dengan adanya penelitian ini IC pengatur nada dapat dikemas menjadi satu keping IC.

Berdasar penelitian yang telah dilakukan dan diuraikan di atas, maka dalam penelitian ini akan dibahas mengenai unjuk kerja IC pengatur nada yang memiliki disipasi daya rendah.

II. PERANCANGAN RANGKAIAN

A. Spesifikasi Rangkaian

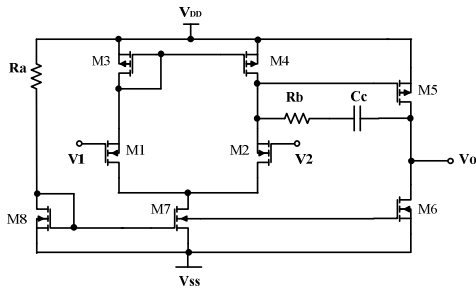
Pengatur nada yang dibuat terdiri dari *low-pass* filter, *high-pass* filter, *band-pass* filter dan rangkaian penjumlah. Spesifikasi rangkaian pengatur nada yang dirancang adalah sebagai berikut:

- a. Filter *low-pass*
 - frekuensi cut off : 20 Hz
 - kemiringan : -40 dB/dekade
 - jenis : *butterworth*
- b. Filter *high-pass*
 - frekuensi cut off : 10 kHz
 - kemiringan : -40 dB/dekade
 - jenis : *butterworth*
- c. Filter *band-pass*
 - frekuensi cut off : 1 kHz
 - kemiringan : -40 dB/dekade
 - jenis : *butterworth*
- d. Spesifikasi op-amp :

- CMRR : 80 dB
- PSRR : 70 dB
- Ad : 70 dB
- GB : 5 MHz
- Disipasi daya : 5 mW
- SR (slew rate) : 10 V/us
- Rout : 2.5 Kohm

B. Perancangan Penguat Operasional CMOS Dua Tingkat

Gambar 3.2 menunjukkan rangkaian setara penguat CMOS 2 Tingkat. Prosedur perancangan dimulai dengan menghitung nilai kapasitor kompensasi Cc.



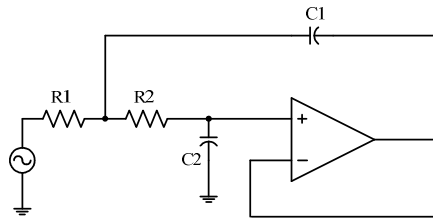
3.2 Rangkaian Setara Penguat CMOS 2 Tingkat

Dengan menggunakan standard lebar minimal devais sebesar 3 μm, dari perhitungan-perhitungan sebelumnya, maka ukuran-ukuran semua transistor adalah :

- L1 = L2 = 3 μm
- W1 = W2 = 329 . 3 = 987 μm
- L3 = L4 = 3 μm
- W3 = W4 = 1 . 3 = 3 μm
- L5 = 3 μm
- W5 = 102 . 3 = 306 μm
- W6 = 3 μm
- $L6 = \frac{3}{0,5} = 6 \mu m$
- W7 = 3 μm
- $L7 = \frac{3}{0,01} = 300 \mu m$
- W8 = 3 μm
- $L8 = \frac{3}{0,005} = 600 \mu m$

C. Perancangan Rangkaian Filter Low-pass Butterworth Orde 2

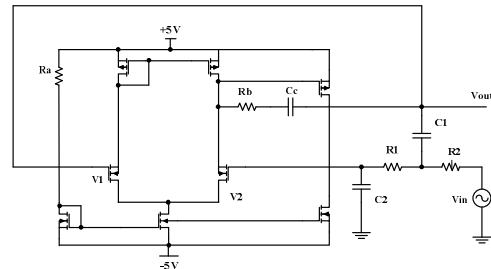
Rangkaian filter low-pass butterworth ditunjukkan dalam Gambar 3.3, yang terdiri dari satu penguat operasional dengan beberapa komponen resistor, kapasitor dan satu sumber tegangan AC.



Gambar 3.3 Rangkaian Filter Low-Pass Butterworth Orde 2

D. Spesifikasi rangkaian filter yang dirancang adalah sebagai berikut :

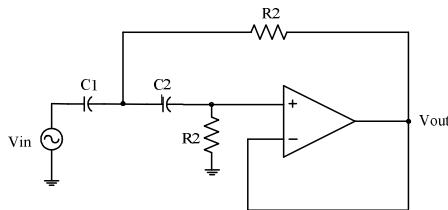
- Frekuensi cut off = 20Hz
- Kemiringan = -40 dB/dekade
- Jenis = Filter aktif low-pass Butterworth
- Penguat kerja = Penguat CMOS dua tingkat



Gambar 3.4 Rangkaian Setara Filter Low-Pass Butterworth Orde 2

E. Perancangan Rangkaian Filter High-pass Butterworth Orde 2

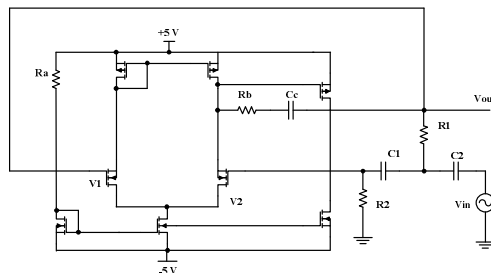
Sedangkan rangkaian filter high-pass butterworth orde 2 ditunjukkan dalam Gambar 3.5, yang terdiri dari satu penguat operasional dengan beberapa komponen resistor, kapasitor dan satu sumber tegangan AC.



Gambar 3.5 Rangkaian Filter High-Pass Butterworth Orde 2

Spesifikasi rangkaian filter yang dirancang adalah sebagai berikut :

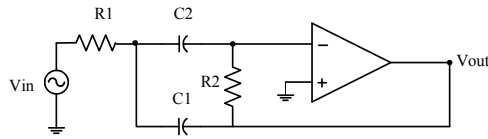
- Frekuensi cut off = 10 kHz
- Kemiringan = -40 dB/dekade
- Jenis = Filter aktif high-pass Butterworth
- Penguat kerja = Penguat CMOS dua tingkat



Gambar 3.6 Rangkaian Setara Filter High-Pass Butterworth Orde 2

F. Perancangan Rangkaian Filter Band-pass Butterworth Orde 2

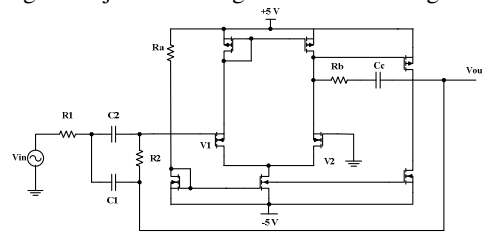
Rangkaian Filter *Band-pass Butterworth* Orde 2 ditunjukkan dalam Gambar 3.7, yang terdiri dari satu penguat operasional dengan beberapa komponen resistor, kapasitor dan satu sumber tegangan AC.



Gambar 3.7 Rangkaian Filter *Band-Pass Butterworth* Orde 2

Spesifikasi rangkaian filter yang dirancang adalah sebagai berikut :

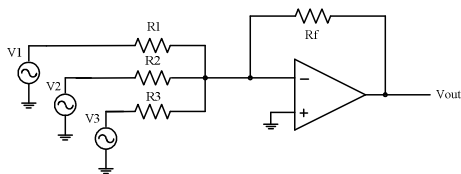
- Frekuensi *cut off* = 1 kHz
- Kemiringan = -40 dB/dekade
- Jenis= Filter aktif *band-pass Butterworth*
- Penguat kerja = Penguat CMOS dua tingkat



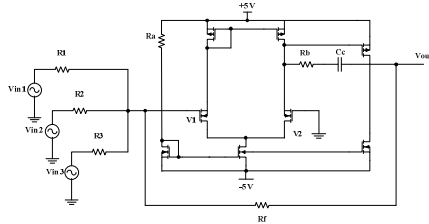
Gambar 3.8 Rangkaian Setara Filter *band-Pass Butterworth* Orde 2

G. Perancangan Rangkaian Penjumlah

Rangkaian penjumlah ditentukan mempunyai penguatan sama dengan satu seperti ditunjukkan dalam Gambar 3.9.



Gambar 3.9 Rangkaian Penjumlah



III. HASIL DAN PEMBAHASAN

Hasil simulasi op-amp yang merupakan penguat CMOS dua tingkat terdiri dari :

1. Penguatan diperoleh dengan melakukan analisis DC.
2. CMRR diperoleh dengan analisis AC.
3. Slew rate diperoleh dengan melakukan analisis transient.
4. Simulasi respon frekuensi *low-pass* filter, *high-pass* filter dan *band-pass* filter (dalam satuan dB dan volt terhadap fungsi frekuensi).
5. Simulasi transient untuk mengetahui respon

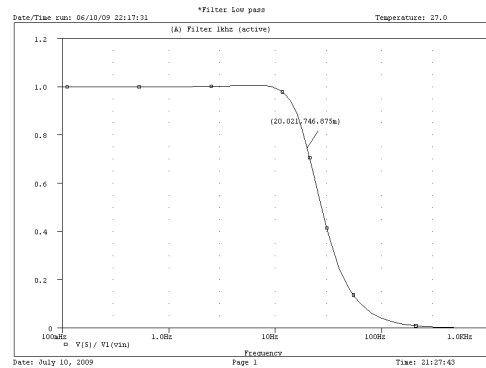
fungsi tegangan (volt) terhadap fungsi waktu.

6. Simulasi respon *phase shift* terhadap frekuensi, simulasi ini untuk mengetahui respon frekuensi terhadap pergeseran fasa.

Langkah perancangan selanjutnya adalah pembuatan tata letak yang dilakukan setelah hasil proses simulasi rangkaian filter sesuai dengan yang diharapkan. Penggambaran tata letak menggunakan program *Microwind*.

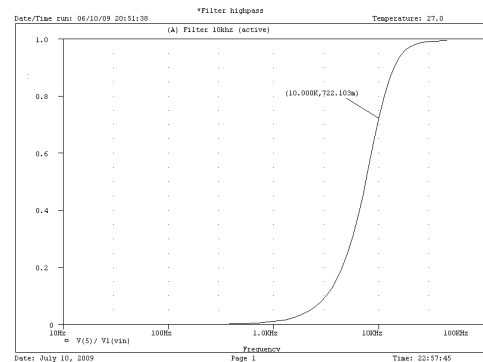
A. Simulasi Rangkaian Filter Low-Pass

Pengujian ini terdiri dari pengaruh perubahan frekuensi masukan dan perubahan tegangan masukan AC terhadap keluaran filter. Respon keluaran yang dihasilkan kemudian dianalisis sehingga dapat diketahui besarnya penguatan tegangan dan frekuensi *cutoff*-nya.



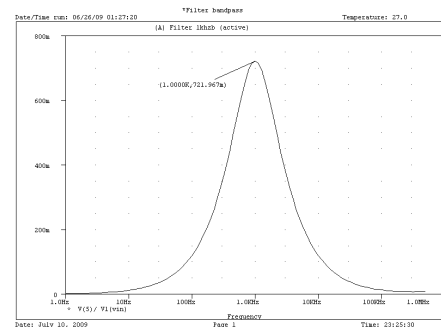
Gambar 4.1 Grafik respon frekuensi filter saat $f_o = 20$ Hz

B. Simulasi Rangkaian Filter High-Pass



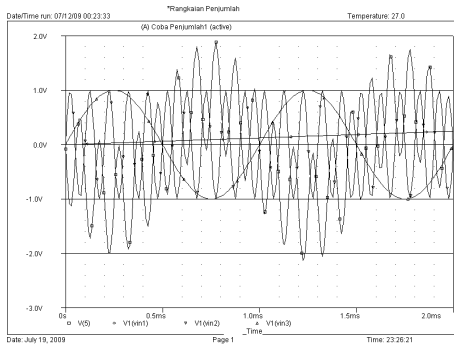
Gambar 4.2 Grafik respon frekuensi filter saat $f_o = 10$ kHz

C. Simulasi Rangkaian Filter Band-Pass

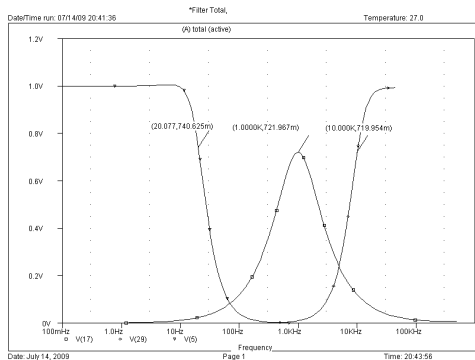


Gambar 4.3 Grafik respon frekuensi filter saat $f_o = 1$ kHz

D. Simulasi rangkaian penjumlah



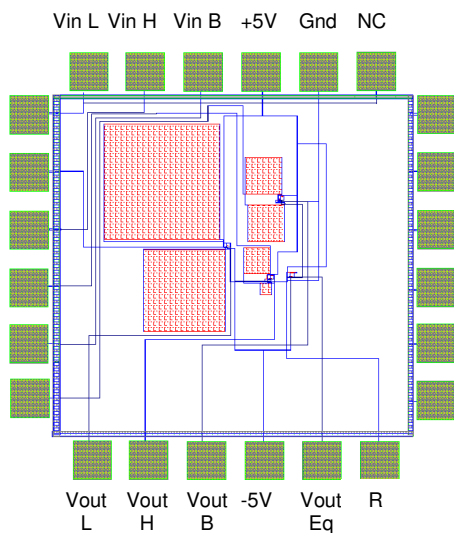
Gambar 4.4 Hasil simulasi tegangan keluaran rangkaian penjumlah



Gambar 4.5 Hasil simulasi respon frekuensi filter low-pass, high-pass dan band-pass

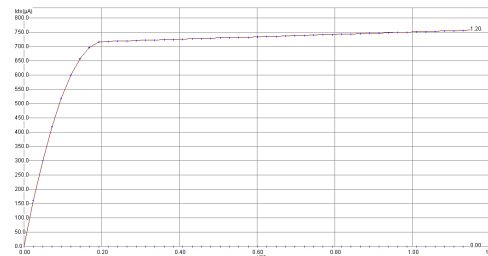
E. Hasil gambar Microwind

Dalam Gambar 5.6 merupakan hasil penggambaran IC pengatur nada dengan *Microwind*. Luas IC adalah 4227,000 μm x 211,380 μm .



Gambar 5.6 Hasil gambar IC pengatur nada dengan *Microwind*

Dalam Gambar 5.72 menggambarkan grafik karakteristik I_d terhadap V_d . I_d merupakan arus yang melewati *drain* pada transistor NMOS dan PMOS, sedangkan V_d merupakan tegangan *drain* transistor NMOS dan PMOS. Pada saat V_d naik secara perlahan, arus I_d juga naik, tetapi pada saat V_d sebesar 0,2 V dan I_d sebesar 675 μA grafik cenderung stabil dan membentuk garis lurus.



Gambar 5.7 Grafik karakteristik I_d terhadap V_d

F. Hasil simulasi rangkaian penguat dan filter

Untuk hasil simulasi dapat dilihat pada Tabel 4.1 dan Tabel 4.2.

TABEL 4.1 HASIL SIMULASI RANGKAIAN PENGUAT CMOS DUA TINGKAT

Parameter	Hasil Perhitungan	Hasil Simulasi
Ad	83,8 dB	83,49 dB
GB	5 MHz	2,949 MHz
SR	2 V/ μs	1,88 V/ μs
CMRR	92,44 dB	85,63 dB
PSRR	83,8 dB	100,87 dB
Disipasi daya DC	4,78 mW	5,07 mW
Margin fasa	71,6°	78,01°
Rin	~	$10^{20} \Omega$
Rout	31644 Ω	9383 Ω
Ayunan Vout	-4 V s/d 4 V	-5 V s/d 4,84 V

TABEL 4.2 HASIL PERHITUNGAN DAN SIMULASI FILTER

Filter	Parameter	Hasil Perhitungan	Hasil Simulasi PSPICE dengan IC 741	Hasil Simulasi PSPICE Penguat CMOS 2 Tingkat
Low Pass fo = 20 Hz	- Ao (Volt)	0,707	0,746	0,746
	- Ao (dB)	-3	-2,95	-2,94
	- Frekuensi saat kemiringan -40 dB (Hz)	268	201,534	201,463
	- Vout saat fin = 20 Hz	-	0,746	0,746
	- Vout saat fin = 10 Hz	-	0,9	1
	- Vout saat fin = 100 Hz	-	0,05	0,05
	- Φ (°)	-90	-90,368	-90,4
	High Pass fo = 10 kHz	- Ao (Volt)	0,707	0,723
- Ao (dB)		-3	-2,81	-2,82
- Frekuensi saat kemiringan -40 dB (Hz)		989 k	998,5 k	997,5 k
- Vout saat fin = 10 kHz		-	0,723	0,722
- Vout saat fin = 1 kHz		-	0,02	0,02
- Vout saat fin = 100 kHz		-	0,9	1
- Φ (°)		90	88,98	89,508
Band Pass fo = 1 kHz		- Ao (Volt)	0,707	0,722
	- Ao (dB)	-3	-2,81	-2,82
	- Frekuensi saat kemiringan -40 dB (Hz)	8,274	8,22	8,26
	- Vout saat fin = 1 kHz	120,641 k	126,77 k	148,2 k
	- Vout saat fin = 100 Hz	-	0,722	0,721
	- Vout saat fin = 10 Hz	-	0,2	0,2
	- Vout saat fin = 10 kHz	-	0,1	0,1
	- Φ (°)	-180	-180,13	-180,06

IV. KESIMPULAN DAN SARAN

Berdasarkan hasil perancangan dan simulasi rangkaian pengatur nada yang telah dilakukan, dapat dibuat beberapa kesimpulan dan saran sebagai berikut.

A. Kesimpulan

1. Rangkaian pengatur nada menggunakan rangkaian filter *low-pass*, *high-pass*, *band-pass*, penjumlah. Jangkauan frekuensi yang dihasilkan pada rangkaian pengatur nada antara 20 Hz sampai 10 kHz.
2. Pada rangkaian pengatur nada ini frekuensi yang digunakan tetap (fixed) yaitu untuk *bass* frekuensinya 20 Hz, *treble* menggunakan frekuensi 10 kHz dan *middle* menggunakan frekuensi 1 kHz. Pada penelitian ini yang dirubah adalah amplitudonya.
3. Tegangan masukan yang diberikan pada rangkaian filter *low-pass* saat frekuensi *cutoff* akan diloloskan sedangkan di atas frekuensi *cutoff* akan teredam.
4. Tegangan masukan yang diberikan pada rangkaian filter *high-pass* saat frekuensi *cutoff* akan diloloskan sedangkan di bawah frekuensi *cutoff* akan teredam.
5. Tegangan masukan yang diberikan pada rangkaian filter *band-pass* saat frekuensi *cutoff* akan diloloskan sedangkan di bawah dan di atas frekuensi *cutoff* akan teredam.
6. Terjadi penyimpangan penguatan tegangan, frekuensi saat kemiringan -40 dB dan sudut fasa. Rata-rata penyimpangan 4,34%. Hal ini karena keterbatasan pemodelan matematika dalam merepresentasikan seluruh besaran yang mempengaruhi unjuk kerja rangkaian filter serta perhitungan manual tidak dapat mengamati dengan cepat pengaruh perubahan satu atau beberapa besaran terhadap unjuk kerja rangkaian filter karena setiap perubahan harus dihitung satu per satu, dimana besaran yang mempengaruhi unjuk kerja rangkaian filter sangat banyak.
7. Rangkaian pengatur nada ini mempunyai nilai disipasi daya rendah sebesar 5,07 mW.
8. Hasil penggambaran IC pengatur nada dengan *Microwind* memiliki luas IC adalah 4227,000 $\mu\text{m} \times 211,380 \mu\text{m}$.

B. Saran

1. Nilai W dan L transistor yang dikemukakan dalam penelitian ini akan menghasilkan filter *low-pass*, *high-pass* dan *band-pass* dengan penguatan 1 dan kemiringan filter - 40 dB untuk nilai V_{DD} dan $V_{SS} \pm 5 \text{ V}$, bila nilai V_{DD} dan V_{SS} berbeda dengan yang ditetapkan maka hasil parameter filter juga berbeda. Untuk menghasilkan parameter-parameter filter yang sama maka harus dilakukan disain ulang nilai W dan L transistor.
2. Hasil dari penelitian ini dapat digunakan sebagai salah satu bahan referensi bagi perancangan

pengatur nada yang lebih kompleks misalnya untuk perancangan instrumentasi yang menggunakan *low pass filter*.

DAFTAR PUSTAKA

- [1] Brockman, J. 2004. The CMOS Fabrication Process and Design Rules. CSE/EE 462: VLSI Design Fall. www.inf.pucrs.br/~moraes/mircoel/docs/L05_Fabrication.pdf April, 20, 2009
- [2] Bult, K. Geelen, G. 1990. A Fast-Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain, IEEE Journal of Solid-State Circuits, Vol. 25, No. 6
- [3] Chinn, R. 1989. Equalizers And Constant-Q, Mountlake Terrace. Technical Paper Number 106. https://myeporia.eporia.com/resources/company_38/techpaper106.pdf. Desember, 26, 2008
- [4] Cameron, D. 1978. Audio Technology Systems : Principels, Applications and Troubleshooting, Reston Publishing Company Inc, Virginia
- [5] Coughlin, R. Driscoll, F. 1994. Penguat Operasional Dan Rangkaian Terpadu Linier, Erlangga, Jakarta
- [6] Darmawansyah, A. 2003. Implementasi Teknologi Hibrid Film Tebal Pada Rangkaian Filter High Pass Butterworth Orde-2, Tesis UGM, Yogyakarta
- [7] Darmawansyah, A. 2007. Implementasi Teknologi Hibrid Mikroelektronik Pada Sistem Filtering Dalam Kawasan Spektrum Audio, Disertasi UGM, Yogyakarta
- [8] Elmunsyah, H. 1994. Perancangan Penguat Kerja CMOS Untuk Beban Resistansi Rendah, Skripsi Elektro Unibraw, Malang
- [9] Geiger, L. Allen, E. Strader, R. 1990. VLSI Design Techniques For Analog And Digital Circuits, McGraw-Hill Inc, Singapore
- [10] Gregorian, R. Temes, C. 1986. Analog MOS Integrated Circuits For Signal Processing, John Wiley & Sons, New York
- [11] Hodges, D. Jackson, H. 1987. Analisis Dan Desain Rangkaian Terpadu Digital, Erlangga, Jakarta
- [12] Huijsing, J. Linebarger, D. 1985. Low-Voltage Operational Amplifier With Rail-to-Rail Input and Output Ranges, IEEE J. Solid-State Circuits 20, pp. 1144-1150. http://ieeexplore.ieee.org/xpl/freeabs_all.jsp?tp=&number=1052452&isnumber=22605. Maret, 20, 2009
- [13] Julius, M. 1990. Perancangan Dan Pembuatan Penguat Diferensial NMOS, Tesis Elektro ITB, Bandung
- [14] Laker, R. Sansen, W. 1994. Design of Analog Integrated Circuits And System, McGraw-Hill, Singapore
- [15] Liu, Z. Wang, Z. 2005. Full Custom Design of Two-Stage Fully Differential CMOS Amplifier with High Unity-Gain Bandwidth and Large Dynamic Range at Output, 48th IEEE International Midwest Symposium on Circuits and Systems, Cincinnati, Ohio, U.S.A
- [16] Moore, C. 2002. Analog Audio Tone Controls and Equalizers, Seven Woods Audio, Inc. <http://kre.elf.stuba.SK/~pribilova/AN12.pdf>. Desember, 26, 2008
- [17] Shaeffer, D. Lee, T. 1997. A 1.5V, 1.5GHz CMOS Low Noise Amplifier, IEEE Journal of Solid State Circuits, Vol. 32, No. 5
- [18] Shem-Tov, B. Kozak, M. Friedman, E. 2004. A High-Speed CMOS Op-Amp Design Technique Using Negative Miller Capacitance, IEEE 0-7803-8715-5/04
- [19] Vennelakanti, H. 2006. CMOS Power Dissipation. www.ece.rochester.edu/~velenis/courses/fall2006/ece530/Presentation/HiranmayVennelakanti.ppt. April, 14, 2009
- [20] web2.clarkson.edu/class/ee311/experiment3/lab3_f06.pdf